

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-280537
 (43)Date of publication of application : 27.09.2002

(51)Int.CI. H01L 27/146
 H01L 21/8247
 H01L 27/115
 H01L 29/788
 H01L 29/792
 H04N 5/335

(21)Application number : 2001-083374 (71)Applicant : FUJI FILM MICRODEVICES CO LTD

FUJI PHOTO FILM CO LTD

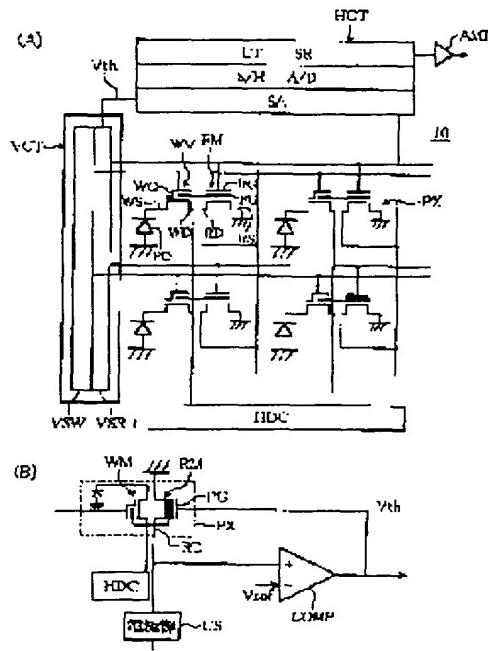
(22)Date of filing : 22.03.2001 (72)Inventor : SHIZUKUISHI MAKOTO

(54) SOLID-STATE IMAGING DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state imaging device performing a novel image-signal read-out operation.

SOLUTION: The solid-state imaging device comprises a semiconductor substrate, and a plurality of pixels formed on a semiconductor substrate each having a first MOS transistor structure comprising a light receiving element receiving incident light to generate signal charge, a first floating gate arranged on the semiconductor substrate while being connected with the light receiving element, and a first control gate being coupled capacitively with the first floating gate, and a second MOS transistor structure comprising a second floating gate arranged on the semiconductor substrate while being connected electrically with the first floating gate, and a second control gate being coupled capacitively with the second floating gate.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-280537

(P2002-280537A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 01 L 27/146		H 04 N 5/335	U 4 M 1 1 8
21/8247			E 5 C 0 2 4
27/115		H 01 L 27/14	A 5 F 0 8 3
29/788		27/10	4 3 4 5 F 1 0 1
29/792		29/78	3 7 1

審査請求 未請求 請求項の数13 O L (全 12 頁) 最終頁に続く

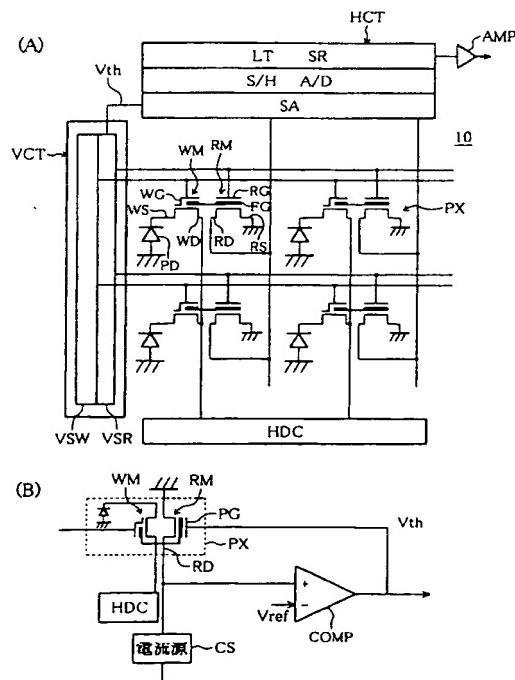
(21) 出願番号	特願2001-83374(P2001-83374)	(71) 出願人	391051588 富士フィルムマイクロデバイス株式会社 宮城県黒川郡大和町松坂平1丁目6番地
(22) 出願日	平成13年3月22日(2001.3.22)	(71) 出願人	000005201 富士写真フィルム株式会社 神奈川県南足柄市中沼210番地
		(72) 発明者	零石 誠 宮城県黒川郡大和町松坂平1丁目6番地 富士フィルムマイクロデバイス株式会社内
		(74) 代理人	100091340 弁理士 高橋 敬四郎 (外2名)
			最終頁に続く

(54) 【発明の名称】 固体撮像装置とその駆動方法

(57) 【要約】

【課題】 新規な画素信号読出し動作を行なう固体撮像装置を提供する。

【解決手段】 固体撮像装置は、半導体基板と、前記半導体基板に形成された複数の画素であって、各画素が、入射光を受け信号電荷を発生させる受光素子と、前記受光素子に接続され、前記半導体基板上方に配置された第1のフローティングゲートと、該第1のフローティングゲートと容量接合する第1のコントロールゲートとを備えた第1のMOSトランジスタ構造と、前記半導体基板上方に配置され、前記第1のフローティングゲートと電気的に接続された第2のフローティングゲートと、該第2のフローティングゲートと容量接合する第2のコントロールゲートとを備えた第2のMOSトランジスタ構造とを有する、複数の画素とを有する。



【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板に形成された複数の画素であって、各画素が、入射光を受け信号電荷を発生させる受光素子と、前記受光素子に接続され、前記信号電荷の少なくとも一部を取り込み、信号電荷に対応する信号電圧を発生することのできる不揮発性メモリ構造とを備えた複数の画素とを有する固体撮像装置。

【請求項2】 前記不揮発性メモリ構造が、

前記半導体基板上方に配置された第1のフローティングゲートと、
該第1のフローティングゲートと容量接合する第1のコントロールゲートとを備えた第1のMOSトランジスタ構造を有する請求項1記載の固体撮像装置。

【請求項3】 前記不揮発性メモリ構造が、さらに前記半導体基板上方に配置され、前記第1のフローティングゲートと電気的に接続された第2のフローティングゲートと、

該第2のフローティングゲートと容量接合する第2のコントロールゲートと、を備えた第2のMOSトランジスタ構造を有する請求項2記載の固体撮像装置。

【請求項4】 さらに、前記第1のMOSトランジスタ構造に接続され、前記第1のフローティングゲートへ前記信号電荷の少なくとも一部を注入する制御を行なう書き込み制御回路と、
前記第2のMOSトランジスタ構造に接続され、閾値を読み出す制御を行なう読み出し制御回路とを有する請求項3記載の固体撮像装置。

【請求項5】 前記読み出し制御回路が、閾値読み出し回路、アナログ・デジタル変換回路、バッファメモリ、シフトレジスタを含む請求項4記載の固体撮像装置。

【請求項6】 前記閾値読み出し回路が、前記第2のコントロールゲートに単調変化する電圧を印加する請求項5記載の固体撮像装置。

【請求項7】 前記書き込み制御回路が、前記第1のMOSトランジスタ構造において、チャネルホットエレクトロン注入又はトンネルエレクトロン注入により前記第1のフローティングゲートに電荷注入を行なう請求項4～6のいずれか1項記載の固体撮像装置。

【請求項8】 前記第2のコントロールゲートと前記第2のフローティングゲートとが対向する面積が、前記第1のコントロールゲートと前記第1のフローティングゲートとが対向する面積よりも狭い請求項3～7のいずれか1項記載の固体撮像装置。

【請求項9】 前記第1のMOSトランジスタ構造がスタック型セル、スプリット型セル、バリスティックインジェクション型セルのいずれかであり、前記第2のMOSトランジスタ構造がスタック型セルである請求項3～8のいずれか1項記載の固体撮像装置。

【請求項10】 前記受光素子が、埋め込み電荷蓄積部

を有する完全空乏型pn接合ダイオードである請求項1～9のいずれか1項記載の固体撮像装置。

【請求項11】 第1導電型の半導体基板と、

前記半導体基板に形成され、第1導電型と逆の第2導電型を有するウェル領域と、
前記ウェル領域内に形成された第1導電型の埋め込み電荷蓄積領域を有する複数のpn接合ダイオードと、
前記各埋め込み電荷蓄積領域を第1のソース領域とし、
前記半導体基板上方に形成された第1のフローティングゲートと、該第1のフローティングゲートと容量結合する第1のコントロールゲートと、前記ウェル領域内に形成された第1のドレイン領域とを、それぞれ有する複数の第1のMOSトランジスタ構造と、
前記各第1のMOSトランジスタ構造の近傍に配置され、前記ウェル領域内に形成された第2のソース領域と第2のドレイン領域と、前記半導体基板上方に形成され、前記第1のフローティングゲートと電気的に接続された第2のフローティングゲートと、該第2のフローティングゲートと容量結合する第2のコントロールゲートと有する第2のMOSトランジスタ構造とを有する固体撮像装置。

【請求項12】 第1導電型の半導体基板と、前記半導体基板に形成され、第1導電型と逆の第2導電型を有するウェル領域と、前記ウェル領域内に形成された第1導電型の埋め込み電荷蓄積領域を有する複数のpn接合ダイオードと、前記各埋め込み電荷蓄積領域を第1のソース領域とし、前記半導体基板上方に形成された第1のフローティングゲートと、該第1のフローティングゲートと容量結合する第1のコントロールゲートと、前記ウェル領域内に形成された第1のドレイン領域とを、それぞれ有する複数の第1のMOSトランジスタ構造と、前記各第1のMOSトランジスタ構造の近傍に配置され、前記ウェル領域内に形成された第2のソース領域と第2のドレイン領域と、前記半導体基板上方に形成され、前記第1のフローティングゲートと電気的に接続された第2のフローティングゲートと、該第2のフローティングゲートと容量結合する第2のコントロールゲートと有する第2のMOSトランジスタ構造とを有する固体撮像装置を駆動する方法であつて、

40 (a) 前記複数のpn接合ダイオードに光を入射し、前記埋め込み電荷蓄積領域に画像情報を表わす電荷を蓄積する工程と、

(b) 前記ウェル領域、前記第1のMOSトランジスタ構造に書き込み制御電圧を印加し、前記第1のフローティングゲートに前記画像情報を表わす電荷の少なくとも一部を信号電荷として注入する工程と

(c) 前記第2のMOSトランジスタ構造に制御電圧を印加し、閾値電圧を検出する工程と、

(d) 前記ウェル領域、前記第1および第2のコントロールゲートに制御電圧を印加し、前記第1および第2の

フローティングゲートの信号電荷を前記ウェル領域に排出する工程とを含む固体撮像装置の駆動方法。

【請求項13】さらに、前記半導体基板と前記ウェル領域とにそれぞれ逆バイアス電圧と順バイアス電圧とを印加し、前記埋め込み電荷蓄積領域の電荷を前記半導体基板に排出する工程を含む請求項12記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置とその駆動方法に関し、特に新規な画素構造を有する固体撮像装置と新規な画素信号読み出し動作を行なう固体撮像装置の駆動方法に関する。

【0002】

【従来の技術】従来、固体撮像装置として、MOS型固体撮像装置、CCD型固体撮像装置、CMOS型固体撮像装置等が知られている。

【0003】図5に従来のMOS型固体撮像装置の構造を示す。

【0004】半導体基板表面上に、多数の画素PXが行列状に配置されている。各画素PXは、感光素子である1つのホトダイオードPDと、ホトダイオードPDに蓄積された電荷を読み出すための1つのMOS電界効果トランジスタMOSFETとを含む。図の構成においては、ホトダイオードPDのカソードが電荷蓄積領域を構成し、MOSFETのソース領域に接続されている。MOSFETのゲートには、行選択信号線103が接続されており、MOSFETのドレインは、読み出し信号線105に接続されている。

【0005】行選択信号線103は、垂直シフトレジスタVSRに接続され、行選択用信号を順次受け取る。読み出し信号線105は、列選択トランジスタ107を介して出力アンプAMPに接続されている。列選択トランジスタ107の制御電極は、水平シフトレジスタHSRに接続され、列選択信号を順次受け取る。タイミングジェネレータ109は、水平シフトレジスタHSR、垂直シフトレジスタVSRにタイミング信号を供給する。

【0006】垂直シフトレジスタVSRにより、1画素行が選択されている間に水平シフトレジスタHSRは各列を順次選択し、1行分の電荷を出力アンプAMPに供給させる。

【0007】この構成は、MOSFET1個とキャパシタ1個でメモリセルが構成されるDRAMに構成に類似している。MOSFETを用いているが、増幅機能は持たないため、パッシブ型センサとも呼ばれる。通常、n-MOSプロセスを用いて図5に示す構造が製造されてきた。

【0008】スイッチングを行なうMOSFETの電気的特性にバラツキがあると、同一の光量を受けた画素の出力に不均一が生じ、固定パターン雑音を生じる。

【0009】全画素の撮像動作を一時に行なうことが不可能であり、動く被写体を撮像すると画像が流れる。

又、全画素の蓄積電荷を電子的に一度にクリアすることが困難である。

【0010】図6に、固体撮像装置の中で最も多く使われているインターライン型CCD(ITT-CCD)撮像装置の構造を示す。

【0011】ホトダイオードPDとMOSFETで構成される画素PXが行列状に配置される点は図5の構成と同様であるITT-CCDにおいては、画素列の間に、読み出し信号線に代え、垂直電荷結合素子VCCDが配置されている。VCCDは、その一端において水平電荷結合素子HCCDに接続される。HCCDの出力端はフローティングディフェージョンアンプFDAに接続されている。

【0012】ITT-CCDにおいては、ホトダイオードPDのカソード領域に蓄積された信号電荷は、MOSFET、VCCD、HCCD、FDAへと、半導体中のみで転送される。VCCDは、多数の転送段を有し、電荷を保持することができる。このため、多数の画素から同時に電荷をVCCDに読み出すことが可能である。流れない静止画を出力することができる。

【0013】VCCD、HCCDの電荷転送路の上方には、遮光膜が配置され、電荷転送路に光が入射することを防止している。ノイズの影響を受けにくく、高感度の固体撮像装置が実現している。また、完全空乏型フォトダイオード構造を取り入れ、画質の改善が進められている。画素で発生した電荷は、転送ゲートを介して同時にVCCDに移動させることができるので、いわゆる完全電子シャッターが実現できる。

【0014】ITT-CCDの駆動には、高電圧を必要とし、消費電力が大きく、単一電源駆動は困難である。ITT-CCDの製造は、汎用CMOSプロセスとは異なる専用プロセスによって行なわれる。ホトダイオードPDから読み出した電荷は、VCCD、HCCDを介して出力されるため、ランダムアクセスを行なうことは困難である。

【0015】図7に、CMOS型固体撮像装置を示す。図には一画素分の構成のみを示すが、画素PXは、図5、図6の構成と同様行列状に配置される。

【0016】各画素PXは、ホトダイオードPDと、ホトダイオードPDに蓄積された電荷を増幅して読み出すためのソースフォロアアンプSFAと、リセットトランジスタRTを含む。ソースフォロアアンプSFAは、ゲートに信号電圧を受ける増幅トランジスタ121と、トランスマニアトランジスタ123を含む。

【0017】トランスマニアトランジスタ123とリセットトランジスタRTの1電流端子は、電源線117に接続される。増幅トランジスタ121の他端は、読み出し信号線113に接続される。トランスマニアトランジスタ

123のゲート電極は、行選択信号線111を介して垂直シフトレジスタVSRに接続される。リセットトランジスタRTのゲート電極は、リセット信号線115に接続される。

【0018】読み出し信号線113は、ノイズキャンセラ131を介し、列選択トランジスタ133に接続されている。列選択トランジスタ133の他端は、出力アンプAMPを介して出力信号を供給する。列選択トランジスタ133のゲート電極は、水平シフトレジスタHSRに接続されている。

【0019】携帯情報端末、パーソナルコンピュータ(PC)入力カメラ、小型デジタルスチル(DS)カメラが普及するにつれ、低消費電力の小型固体撮像装置に関心が集まっている。そのため、CCD型に比べ、単一電源で低消費電力駆動が可能な、CMOSプロセスをベースにしたCMOS固体撮像装置が開発されている。CMOS構成とすることにより、周辺回路のオンチップ化が容易になり低消費電力を実現できる。

【0020】これらのメリットを生かしつつ、CMOS型固体撮像装置の特性改善と実用化が進んでいる。CMOS型固体撮像装置は、画素毎に增幅回路を設けることにより、低ノイズ化している。画素が能動素子を含むでアクティブ型センサーとも呼ばれる。但し、一画素あたり、ホトダイオードに加え、3個以上のトランジスタ(MOSFET)を必要とする。

【0021】単位画素あたりのMOSFETの数が増すと、ホトダイオード部の動作マージンが厳しくなり、高感度化、高(多)画素化が難しくなる。ホトダイオードタイプのCMOS型固体撮像装置では、読み出し回路とホトダイオードとの間でオーミックコンタクトをとるために、電荷蓄積領域全体を低濃度化することが困難であり、完全空乏型ホトダイオードを実現することは難しい。そのため、ホトダイオードを一定電位にリセットする際にホトダイオードの空乏層容量のバラツキに伴う固有の固定パターン雑音(FPN)やリセットトランジスタRTのチャネル抵抗の熱的揺らぎによるリセット雑音が発生する。XY順次アドレッシングタイプのため、動く被写体を撮像すると画像が流れ、完全電子シャッター機能を実現することが困難である。

【0022】

【発明が解決しようとする課題】従来の固体撮像装置は、それぞれメリットとデメリットとを有する。

【0023】本発明の目的は、新規な動作原理に基づく固体撮像装置を提供することである。

【0024】本発明の他の目的は、固体撮像装置の新規な動作方法を提供することである。

【0025】本発明のさらに他の目的は、電子シャッター機能を有する新規な構成の固体撮像装置を提供することである。

【0026】本発明の他の目的は、画素当り2個以下の

トランジスタを用い、小型化に適した固体撮像装置を提供することである。

【0027】

【課題を解決するための手段】本発明の1観点によれば、半導体基板と、前記半導体基板に形成された複数の画素であって、各画素が、入射光を受け信号電荷を発生させる受光素子と、前記受光素子に接続され、前記信号電荷の少なくとも一部を取り込み、信号電荷に対応する信号電圧を発生することのできる第1の不揮発性メモリ構造とを有する、複数の画素とを有する固体撮像装置が提供される。

【0028】本発明の他の観点によれば第1導電型の半導体基板と、前記半導体基板に形成され、第1導電型と逆の第2導電型を有するウェル領域と、前記ウェル領域内に形成された第1導電型の埋め込み電荷蓄積領域を有する複数のpn接合ダイオードと、前記各埋め込み電荷蓄積領域を第1のソース領域とし、前記半導体基板上方に形成された第1のフローティングゲートと、該第1のフローティングゲートと容量結合する第1のコントロールゲートと、前記ウェル領域内に形成された第1のドレイン領域とを、それぞれ有する複数の第1のMOSトランジスタ構造と、前記各第1のMOSトランジスタ構造の近傍に配置され、前記ウェル領域内に形成された第2のソース領域と第2のドレイン領域と、前記半導体基板上方に形成され、前記第1のフローティングゲートと電気的に接続された第2のフローティングゲートと、該第2のフローティングゲートと容量結合する第2のコントロールゲートを有する第2のMOSトランジスタ構造とを有する固体撮像装置が提供される。

【0029】本発明のさらに他の観点によれば第1導電型の半導体基板と、前記半導体基板に形成され、第1導電型と逆の第2導電型を有するウェル領域と、前記ウェル領域内に形成された第1導電型の埋め込み電荷蓄積領域を有する複数のpn接合ダイオードと、前記各埋め込み電荷蓄積領域を第1のソース領域とし、前記半導体基板上方に形成された第1のフローティングゲートと、該第1のフローティングゲートと容量結合する第1のコントロールゲートと、前記ウェル領域内に形成された第1のドレイン領域とを、それぞれ有する複数の第1のMOSトランジスタ構造と、前記各第1のMOSトランジスタ構造の近傍に配置され、前記ウェル領域内に形成された第2のソース領域と第2のドレイン領域と、前記半導体基板上方に形成され、前記第1のフローティングゲートと電気的に接続された第2のフローティングゲートと、該第2のフローティングゲートと容量結合する第2のコントロールゲートを有する第2のMOSトランジスタ構造とを有する固体撮像装置が駆動する方法であって、

(a) 前記複数のpn接合ダイオードに光を入射し、前記埋め込み電荷蓄積領域に画像情報を表わす電荷を蓄積する工程と、(b) 前記ウェル領域、前記第1のMOSトランジスタ構造とを有する固体撮像装置を駆動する方法であって、

トランジスタ構造に書き込み制御電圧を印加し、前記第1のフローティングゲートに前記画像情報を表わす電荷の少なくとも一部を信号電荷として注入する工程と

(c) 前記第2のMOSトランジスタ構造に制御電圧を印加し、閾値電圧を検出する工程と、(d) 前記ウェル領域、前記第1および第2のコントロールゲートに制御電圧を印加し、前記第1および第2のフローティングゲートの信号電荷を前記ウェル領域に排出する工程とを含む固体撮像装置の駆動方法が提供される。

【0030】

【発明の実施の形態】ホトダイオードと、フローティングゲートを有するMOSトランジスタ構造を備えた不揮発性メモリ素子とを用いて画素を構成することができる。外部より入射した光信号によってホトダイオード中で生成（蓄積）された信号電荷の少なくとも一部をフローティングゲートに注入する。注入された信号電荷量に応じて変化するMOSトランジスタ構造の閾値電圧（ V_{th} ）を検出し外部に出力する。

【0031】単位画素は、2個の不揮発性メモリ素子を含み、それらのフローティングゲートを互いに接続する。即ち、1つのフローティングゲートに対し2個のコントロールゲートを設ける。一方は、電荷の注入を行う書きこみ用のコントロールゲートであり、他方は注入電荷量によって変化する閾値を読み出すコントロールゲートである。

【0032】従来の不揮発性メモリ構造では、チャンネルホットエレクトロン（CHE）を用いてフローティングゲートにエレクトロンを注入する。大部分のエレクトロンは、メモリ外部に流れ、フローティングゲートFGに注入されない。その注入効率は1%以下と低い。これに対してファウラーノルドハイム（F-N）トンネル電流によって電荷注入を行なうと、流失する電荷量は著しく少なくなるが、所定の電荷量を注入するには長時間を要する。一方、固体撮像装置においては、この注入効率と注入速度がセンサの感度や応答速度に影響を与える。以下、制限的ではないが、書き込み（撮像）はCHE注入として説明する。

【0033】図1(A)は、半導体基板10上に画素PXを二次元アレイ状に配列した固体撮像装置の構成を示す。画素PXは、2次元行列状に配置され、感光面を構成する。各画素PXは、感光素子である1つのホトダイオードPDと、書き込みメモリ素子WMと、読み出しメモリ素子RMとを含む。

【0034】書き込みメモリ素子WMは、ホトダイオードPDに接続された書き込みソースWSと、フローティングゲートFGと、書き込みコントロールゲートWGと、書き込みドレインWDとを有するMOSトランジスタ構造で構成される。読み出しメモリ素子RMは、読み出しソースRSと、フローティングゲートFGと、読み出しコントロールゲートRGと、読み出しドレインRD

とを有するMOSトランジスタ構造で構成される。両MOSトランジスタ構造のフローティングゲートFGは、電気的に共通に接続されている。

【0035】書き込みコントロールゲートWGは、垂直(V)制御回路VCTの書き込み垂直シフトレジスタVSWにより制御される。書き込みドレインWDは、水平(H)ドレイン制御回路HDCによって制御される。

【0036】読み出しコントロールゲートRGは、垂直制御回路VCTの読み出し垂直シフトレジスタVSRから、例えば3角波的に単調に増加する電圧を供給される。センスアンプSAは、読み出しドレインRDにドレイン電圧を供給し、読み出しコントロールゲートRGの電位に対する読み出しドレインRDの電流値から読み出しメモリ素子の閾値 V_{th} を検出する。

【0037】図1(B)は、センスアンプSAの閾値検出回路の等価回路を示す。比較器COMPの反転入力端子に参照電位 V_{ref} が供給され、非反転入力端子に読み出しメモリ素子RMの読み出しドレインRDの電圧が供給されている。読み出しメモリ量子RMには電流源CSから電流が供給される。比較器COMPの出力電圧が読み出しコントロールゲートRGに供給される。読み出しコントロールゲートRGは、書き込みコントロールゲートWGから独立しており、読み出し垂直シフトレジスタVSRにより制御される。

【0038】参照電位 V_{ref} を変えながら、読み出しメモリ素子RMのチャネル電流を検出することにより、メモリの閾値電圧 V_{th} を出力する。

【0039】図1(A)に示すように、閾値電圧をデジタル化するためのサンプルホールド回路SH、ADコンバータA/D等も半導体基板10上にオンチップ化されている。AD変換後のデータは、ラッチ回路LTに記録され、水平シフトレジスタSRによって水平方向に順次読み出され、出力バッファアンプAMPを通して、撮像装置の外部にデジタルデータとして出力される。

【0040】図1(A)に示すように、単位画素に、フローティングゲートFGを共有する2個の不揮発メモリがあり、それぞれ受光・記録と読み出しを行なうように役割分担されている。受光・記録を行なう書き込みメモリ素子は、前述した通り感度を左右するのでCHE注入効率を高めることが好ましい。これに対して読み出しメモリ素子は、読み出す閾値電圧の幅が大きく、かつ高速読み出しが可能なセルが好ましい。

【0041】図2は、画素内に用いられるMOSトランジスタ構造の例を示す。図2(A)はスタッカ型セルと呼ばれており、構造が最も単純で広く利用されている。半導体基板のp型領域20の表面上に、ゲート絶縁膜31、フローティングゲート32、絶縁膜33、コントロールゲート34が積層され、フローティングゲート32とコントロールゲート34は同一形状にパターニングされている。ゲート構造の両側にn型ソース領域21、n

型ドレイン領域22が形成されている。

【0042】この構造は、通常のMOSトランジスタを製造するプロセスにおいて、ゲート絶縁膜成膜後、ゲート電極を成膜する工程を、フローティングゲート32、絶縁膜33、コントロールゲート34を積層する工程に入れ替えれば製造することができるが、本実施例ではフローティングゲートとコントロールゲートを別個にパターニングする。

【0043】例えば、ソース電極Sを接地し、コントロールゲートCG、ドレイン電極Dにそれぞれ所定の高電圧を印加することによって、ソース領域21から電子を導き出し、チャネル領域で加速し、ホットエレクトロンとしてゲート絶縁膜31を越え、フローティングゲート32に注入することができる。

【0044】スタック型セルは、注入効率が低いので主にワンタイムメモリ(ROM)として使われることが多い。読み出しが高速である。

【0045】図2(B)は図2(A)のスタック型の不揮発性メモリセルの注入効率を改善した素子構造であり、スプリット(チャネル)型セルと呼ばれている。本構成においては、フローティングゲート32がチャネル領域のドレイン側領域上部にのみ設けられている。フローティングゲート32の上面を覆う絶縁膜33を形成した後、コントロールゲート34が作成される。コントロールゲート34は、チャネル領域のソース側領域上でゲート絶縁膜上に直接配置されている。その他の点は、図2(A)と同様である。

【0046】チャネル領域のソース側領域においては、チャネル領域の電位を直接コントロールゲートで制御できるため、効率的にホットエレクトロンを形成し、フローティングゲート32に注入することができる。

【0047】図2(C)は、さらに注入効率を改善したバリスティックインジェクション型セルと呼ばれる構造である(USP5,780,341)。本構成においては、半導体基板の表面に段差が形成されている。段差は、ソース側で高く、ドレイン側で低く形成され、ソース領域21から直進するエレクトロンが、ゲート絶縁膜31を突き抜けると、フローティングゲート32に侵入するように設計される。ゲート絶縁膜31、フローティングゲート32、絶縁膜33、コントロールゲート34は、段差上及びその両側に延在するように形成される。

【0048】図の構成においては、n型ドレイン領域22を包むように、不純物濃度の低いn型サブドレイン領域23が形成されている。n型サブドレイン領域23は、段差の肩部にまで達している。このような構成とすることにより、p型チャネル領域は、n型ソース領域21とn型サブドレイン領域23との間の領域に画定される。

【0049】p型チャネル領域20とn型サブドレイン領域23とが形成するpn接合の両側に、空乏層が広が

り、エレクトロンを効率的に加速することができる。加速されたエレクトロンは、そのまま直線的に進み、ゲート絶縁膜31を突き抜けてフローティングゲート32に注入される。

【0050】書き込みメモリ素子は、CHE注入効率の高い図2(B)、(C)等の高速かつ高注入効率の電荷注入が可能なセル構造で形成することができる。一方、読み出しメモリ素子は、セルの小型化と高速読み出しに適した図2(A)のスタック型メモリセルで形成することが好ましい。

【0051】本実施例に係る画素構造についてさらに詳しく説明する。

【0052】図3(A)は、単位画素の断面図を示す。n型シリコン基板10の表面領域にp型ウェル20が形成されている。p型ウェル20の表面領域にn型領域25が形成され、ホトダイオードを構成する。画素領域を取り囲むように、p+型チャネルトップ領域23が形成されている。チャネルトップ領域23に連続し、n型領域25の表面を覆うようにp+型領域が形成され、ホトダイオードを埋め込み型ホトダイオード構造としている。なお、素子分離領域は、酸化シリコン等の絶縁物で形成してもよい。

【0053】書き込みトランジスタのソース領域を兼ねるn型領域25の近傍に、n+型領域26が形成され、書き込みトランジスタのドレイン領域を構成する。n型領域25、26の間の領域がチャネル領域となる。ドレイン領域26の右側には、チャネルトップ領域の延長部23が形成され、左右の領域を電気的に分離している。さらに右側領域において、n+型領域21、22が形成され、読み出しトランジスタのソース領域、ドレイン領域を構成する。n+型領域21、22の間の領域がチャネル領域となる。

【0054】書き込みトランジスタのチャネル領域上には、スプリットゲート型のゲート電極構造が形成されている。読み出しトランジスタのチャネル領域上には、スタック型のゲート電極構造が形成されている。それぞれのコントロールゲートは、別個に形成されている。しかしながら、読み出しトランジスタと書き込みトランジスタのフローティングゲートは、連続した1つの導電膜(たとえば多結晶シリコン膜)により形成されている。

【0055】図3(B)に、2つのトランジスタの平面配置の例を概略的に示す。本図においては、図3(A)と左右の関係が反転している。図中右側に、ホトダイオードのn型領域25が配置され、その左側領域上に書き込みコントロールゲートWGが配置されている。書き込みコントロールゲートWGのドレイン側下部には、フローティングゲートFGが配置されている。

【0056】フローティングゲートFGは、絶縁領域又は素子分離領域上を通り、図中左側に延在し、書き込みトランジスタのフローティングゲートも構成している。

書き込みトランジスタのフローティングゲートの上には、下方から延在する書き込みコントロールゲートRGが配置される。

【0057】フローティングゲートFGの下の電流方向の長さをチャネル長Lとすると、読み出しトランジスタのチャネル長LRは書き込みトランジスタのチャネル長LWより長く選択されている。逆に、書き込みトランジスタのチャネル幅WWは、読み出しトランジスタのチャネル幅WRよりも大きく選択されている。

【0058】ここで、LW*WW>LR*WRである。好ましくは、LW*WW>>LR*WRである。比は、例えば、2倍以上、より好ましくは4倍以上である。

【0059】図3(C)は、フローティングゲートFGと、書き込みコントロールゲートWG、読み出しコントロールゲートRGとの容量結合の関係を概略的に示す。書き込みコントロールゲートWGがフローティングゲートFGと対向する面積SWは、読み出しコントロールゲートRGがフローティングゲートFGと対向する面積SRよりも大きく、好ましくは著しく大きく選択されている。比は、例えば、2倍以上、より好ましくは4倍以上である。

【0060】このような電極構成とすると、図3(C)下部に示すように、フローティングゲートFGが読み出しコントロールゲートRGと形成するキャパシタンスCrは、書き込みコントロールゲートWGがフローティングゲートFGと形成するキャパシタンスCwよりも小さくなる。フローティングゲートFGは、基板のチャネル領域ChとキャパシタンスCoを形成している。

【0061】コントロールゲートの電圧により、チャネル領域に与える影響は、フローティングゲートFGを介してなされる。キャパシタンスの大小関係に基づき、読み出しコントロールゲートRGの電位によりチャネル領域表面の電位を制御するには、書き込みコントロールゲートWGにより制御する場合よりも大きな電圧を必要とする。

【0062】従って、チャネル領域の閾値を検出するのに、書き込みコントロールゲートWGを用いる場合と比べ、読み出しコントロールゲートRGにより大きな電圧を印加することになる。従って、閾値読み出しのダイナミックレンジが拡大される。

【0063】図3(A)に戻り、両トランジスタのゲート電極の上には、樹脂、酸化シリコン等の絶縁層41が形成され、その表面は平坦化されている。絶縁層41の上に、金属等で形成された遮光膜42が形成されている。遮光膜42は、ホトダイオードのn型領域25上方で開口を形成し、光の通過を許容するが、両トランジスタ構造や配線領域の上方等ホトダイオード以外の領域は覆い、入射光を遮断する。遮光膜を覆うように、カラーフィルタ43が形成され、カラーフィルタ43の上には、マイクロレンズ44が形成されている。

【0064】入射光45は、マイクロレンズ44で集光され、カラーフィルタ43を通過した後、遮光膜42の開口部を通ってホトダイオード25に入射する。n型領域25は、全領域が空乏化するようにその形状、不純物濃度が設定されている。従って、n型領域25内のエレクトロンは、光の入射によって発生したものが支配的になる。

【0065】n型領域25は、ホトダイオードのカソード領域であると共に、書き込みトランジスタのソース領域として機能する。書き込みコントロールゲートWG、書き込みドレインWDに所定電圧を印加し、n型領域25で発生したエレクトロンを書き込みトランジスタのフローティングゲートFGに注入する。書き込みトランジスタのフローティングゲートは、読み出しトランジスタのフローティングゲートとも共通であるため、注入されたエレクトロンは、読み出しトランジスタのフローティングゲートにも分布する。この電荷により、読み出しトランジスタの閾値が変化する。

【0066】書き込みトランジスタのソース領域は、電極と接続する必要がないため、不純物濃度を自由に設定できる。なお、トランジスタのソース領域にオームик電極を形成しようとすると、ソース領域の濃度を高める必要が生じる。この場合、ホトダイオードのカソード領域を完全に空乏化することは困難となる。

【0067】完全空乏型ホトダイオードを用いることにより、固定パターン雑音を低減することができる。又、ホトダイオードの表面側にp+型領域が形成され、埋め込みホトダイオード構造となっている。このため、分光感度が改善され、暗電流や白傷を低減することができる。

【0068】受光部に光が入射すると、エレクトロンホール対を発生する。エレクトロンはn型ソース領域に蓄積される。このとき同時に書き込みコントロールゲートWGおよび書き込みドレインWDに電圧を印加する。エレクトロンが、MOSトランジスタ構造のチャネルに引き出され、加速されてホットエレクトロンになる。この光によって発生したエレクトロンの少なくとも一部を一定時間(シャッタースピードに対応)FGに注入する。電荷注入によって変化した閾値Vthを読み出しコントロールゲートRGを有する他方の不揮発性メモリ素子で読み出す。

【0069】即ち、書き込みコントロールゲートWGによって制御される不揮発性メモリ素子は光信号によって発生した電荷をフローティングゲートFGに注入する役目をする。読み出しコントロールゲートRGによって制御される不揮発性メモリ素子は、共有するフローティングゲートFGが電荷注入によって変化した閾値電圧変化を読み出すために使う。

【0070】ホトダイオードPDに蓄積された電荷を排出するには、図3(A)に示すように、n型基板10に電

圧を印加できるように端子を形成し、n型領域25、p型ウェル20、n型基板10で縦型バイポーラ接合トランジスタ型構造を構成する。ベース(pウェル)を接地し、コレクタ(n型基板)に正電位を印加すると、ベースのポテンシャルバリアを消滅させることができる。すなわち、トランジスタがオンとなり、エミッタの電荷はコレクタに流れる。全書き込みトランジスタWMをオンにし、書き込みトランジスタを介して電荷を排出することもできる。

【0071】露光後、信号電荷量を閾値V_{th}の変化としてよみだす。信号読み出し用メモリ素子RMのコントロールゲートRGとドレインRDに読み出しのための電圧を印加する。ドレイン電流が流れ始める読み出しコントロールゲート電圧がそのセルの閾値である。この閾値V_{th}を出力信号として読み出す。

【0072】光書きこみに必要な電圧を書き込みコントロールゲートWGに印加しない状態では、光が照射されても「光書きこみ」即ちフローティングゲートFGへの注入は阻止される。また、「光書きこみ」した情報(信号電荷)はフローティングゲートFG中に留まるので、書き込みコントロールゲートWG、読み出しコントロールゲートRG、書き込みドレインWD、読み出しドレインRDの電圧を除去しても電荷蓄積状態が保持される(不揮発状態)。従って、全画素信号を高速で読み出す必要がないときは、任意のあるいは低速の信号読み出しが可能である。その結果、従来のような高速動作に伴うスイッチングノイズの影響を受けにくく、低速読み出しによる低消費電力駆動が可能になる。

【0073】次の撮影(光書きこみ)前に、フローティングゲートFG中の前画像に対応した残留信号電荷を除去する。一般に、不揮発メモリセルではソースS、ドレインD、基板(ウェル)または別に設けた消去専用ゲートにF-Nトンネル電流により電荷を引き抜くことによって、データ消去を行う。

	WD	R D	WG
書き込み	V _{cc}	0	V _{pp}
消去	Open	Open	-V _{pp}
読み出し	0	V _r	0

ただし、V_{pp}>V_{cc}>V_r>0 volt、V_d(可変)である。電荷発生後、書き込みメモリ素子のフローティングゲートFGに電荷を注入するために、コントロールゲートWGとドレインWDにそれぞれV_{pp}とV_{cc}を印加する。読み出しのときは、読み出しドレインRDにV_rを印加しながら、読み出しコントロールゲートRGに可変電圧を印加して、読み出しメモリのチャネルがオンする時の該印加電圧を検出する。フローティングゲートFG中の電荷の消去方法には、前述の通り、いくつかの方法があるが、本実施例では、基板(pウェル)に引き抜く方式を示す。書き込みコントロールゲートWG及び読み出しコントロールゲートRGに負の電圧(-V_{pp})を加

【0074】本実施例においても、いくつかのデータ消去方法が考えられる。ここではコントロールゲートWG、RGと基板(あるいはpウェル)に電圧を印加し、基板に電荷を引き抜く方式を例に説明する。

【0075】なお、従来の不揮発性メモリと異なり、データを長期間保持する必要はない。固体撮像装置では、次の光信号の検出(撮像)に備えて、信号(V_{th}値変化)読み出し後はフローティングゲートFG中の電荷を空に(消去)しておく方が高速駆動を行うためには都合がよい。これにより、連続的あるいは高速の撮像が可能になる。

【0076】読み出しへ、前述のように読み出し不揮発メモリ素子のコントロールゲートRG、ドレインRDに読み出し電圧を印加し、チャネル電流が流れ始めるコントロールゲートRGの電圧を検出する。撮影時は任意のあるいは全ての書き込みコントロールゲートWG、書き込みドレインWDに同時に書きこみ電圧を印加してフローティングゲートFGへの同時電荷注入が可能である。即ち、機械式シャッターを必要としない完全電子シャッター機能が実現する。

【0077】読み出した閾値V_{th}は、信号量に対応した電圧であり、アナログ値である。二次元平面状に配列された画素の各列の端部には、このV_{th}値を読み出す読み出し回路が設けられ、変化する参照電圧(V_{ref})と比較される。比較器の出力は、要求される検出精度により、Nビット(Nは2以上の整数)の量子化されたデータに変換して水平読み出し回路に出力される。固体撮像装置から直接デジタル信号が得られる。

【0078】次に、電荷の記録、読み出し、消去動作について説明する。各動作における制御電圧を下記の表に示す。

【0079】

【表】

RG	RS	pウェル
0	0	0
-V _{pp}	Open	V _{cc}
V _d	0	0

え、基板(pウェル)に正の電圧(V_{cc})を印加する。これにより、フローティングゲートFG中の電荷が基板(pウェル)に引き抜かれる。

【0080】図4を参照して、本固体撮像装置の動作シーケンスを説明する。待機状態においても、受光部には外光が入射している。そのため、光信号の検出直前において、不要な電荷を基板側に引き抜く必要がある。

【0081】時刻t₁においてn型、基板に正電位(V_{cc})を印加し、受光部近傍にある電荷を基板に掃き出し、リセットする。掃き出し終了後、時刻t₂において、書き込みドレインWDの電圧をV_{cc}とし、コントロールゲートWGに高い書きこみ電圧(V_{pp})を印加

する。

【0082】時刻 t_2 から t_3 の間に光によって発生した電荷がフローティングゲート FG に注入される。時間 ($t_3 - t_2$) が露光時間即ちシャッタースピードに対応する。露光時間中書き込みを行う代わりに、露光時間初期は電荷を蓄積するだけとし、露光時間の途中から電圧を印加しても良い。

【0083】光信号の FG への蓄積（記録）を終了後、時刻 t_4 から記録信号の読み出しを行う。時刻 t_4 において、読み出しドレイン RD 電圧を V_r とし、読み出しコントロールゲート RG に単調増大する電圧 V_d を印加してコントロールゲート RG の電圧変化に対するドレン電流を検出する。時刻 t_5 にて読み出しを終了した後は、次の撮像に備えて、FG 中の電荷を消去する。

【0084】時刻 t_6 から t_7 の間において書き込みコントロールゲート WG、読み出しコントロールゲート RG に消去電圧 $-V_{pp}$ を印加して、フローティングゲート FG 中の電荷を基板、p ウエル側に引き抜く。

【0085】各単位画素にある FG の電位が一定のバラツキの中に入るように、画素ごとのフローティングゲート FG の電位を一定値に近づける処理を行ってもよい。これにより、画素毎のフローティングゲート FG 値のバラツキによる検出光信号強度のムラを小さくすることができる。

【0086】各メモリセル消去後のフローティングゲート FG の電位のバラツキにより、光信号量を閾値に置き換えて読み出し時にこれらのバラツキの影響を受けて画質を劣化させる可能性がある。この場合は、予め各セルの閾値を一定レベルにリセット（電荷注入、又は引き抜き）しておくことにより、正確な光信号に基づく閾値変化量が得られる。

【0087】フローティングゲート FG 中の電荷は信号読み出し後直ちにリセットされるので、いわゆるデータリテンション（電荷保持時間）特性は要求されない。そのため、電荷注入を容易にした高速、高効率の電荷注入が可能である。従来、このように高注入効率あるいは高速記録が可能な不揮発メモリでは、読み出し時に電荷注入が同時に起こり、 V_t 値を変動させる、所謂ディスターク現象が顕著になる問題があった。このディスターク現象を解決する読み出し専用メモリ素子を設け、読み出し時には書き込みドレンに電圧を印加せず（接地して）、書き込みメモリ素子をオフ状態にすることにより、ディスターク現象を解決することができる。

【0088】以上実施例によって本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0089】

【発明の効果】発生電荷を直ちにフローティングゲート FG に注入することにより電荷量（電流）を電圧値に変換し、一時的に保持できる。

【0090】低消費電力駆動を実現し、完全電子シャッター動作を行なうことができる。また、電圧検出型素子であることから、出力信号のダイナミックレンジが広く、微細化（スケーリング）や多画素化による信号量の減少に対応できる。

【0091】セルのバラツキやノイズの影響を受けにくいで、高画質の固体撮像装置が実現する。一時記憶機能があるので、周辺回路が簡略化され、システム全体のコストが低減する。

【図面の簡単な説明】

【図1】本発明の実施例による固体撮像装置の等価回路図である。

【図2】図1の固体撮像装置に用いる不揮発性メモリの構造を示す断面図である。

【図3】画素構造を示す断面図、および平面図である。

【図4】固体撮像装置の動作を制御する信号のタイミングチャートである。

【図5】従来技術による MOS 型固体撮像装置の等価回路図である。

【図6】従来技術による IT-CCD 型固体撮像装置の等価回路図である。

【図7】従来技術による CMOS 型固体撮像装置の等価回路図である。

【符号の説明】

P X 画素

30 P D ホトダイオード

WM 書き込みメモリ素子

R M 読み出しメモリ素子

WG 書き込みコントロールゲート

R G 読み出しコントロールゲート

F G フローティングゲート

WD 書き込みドレン

R D 読み出しドレン

R S 読み出しソース

C O M P 比較器

40 S A センスアンプ

C S 電流源

1 0 シリコン基板

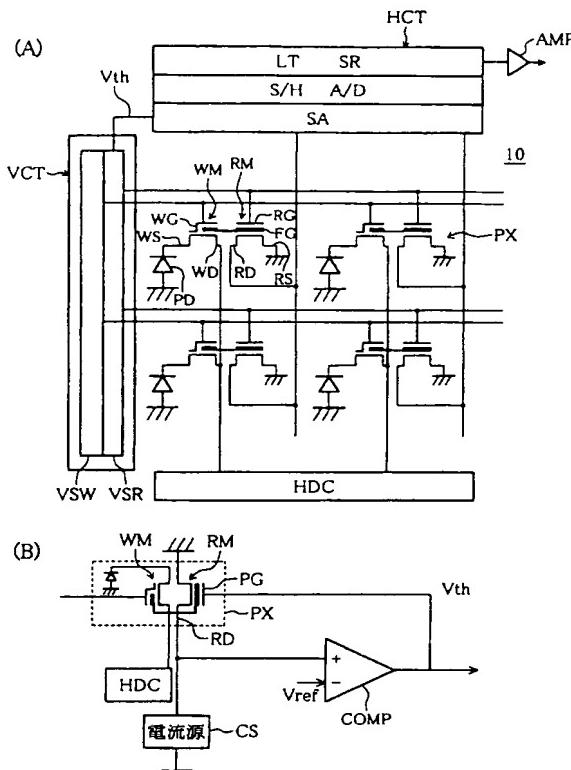
2 0 p 型ウェル

2 1、2 2、2 6 n+型領域

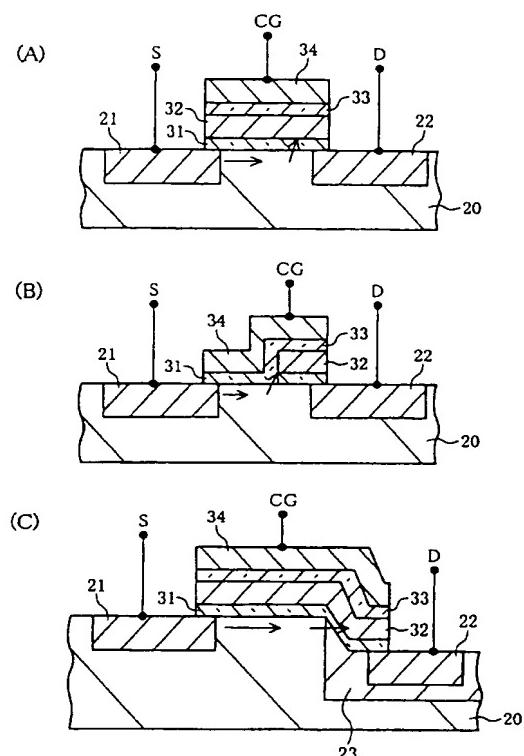
2 3 p+型領域（チャネルストップ領域）

2 5 n 型領域

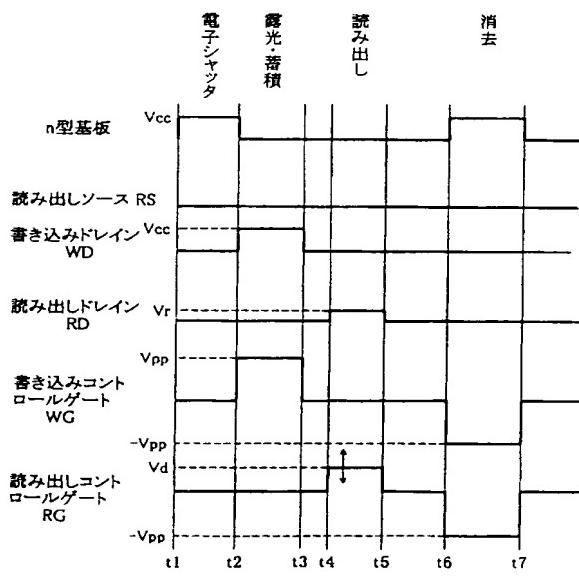
【図1】



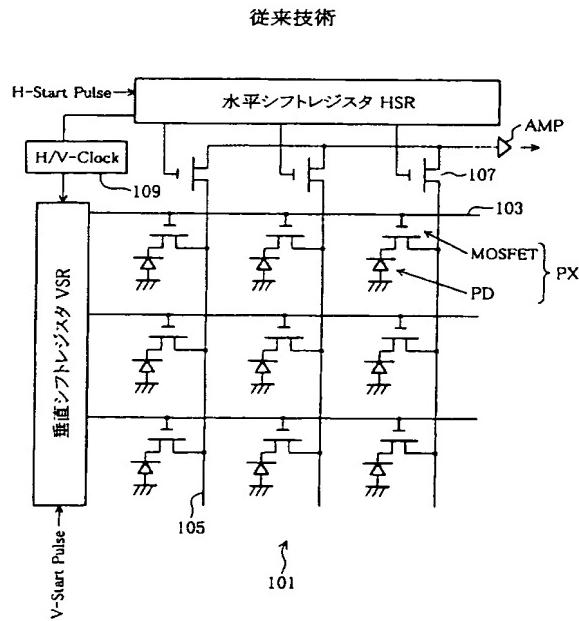
【図2】



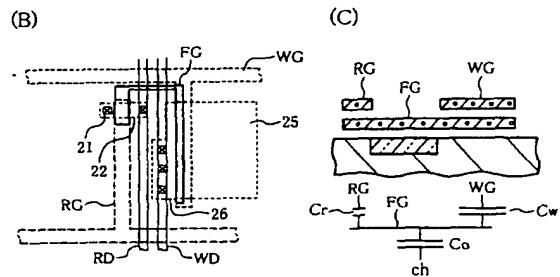
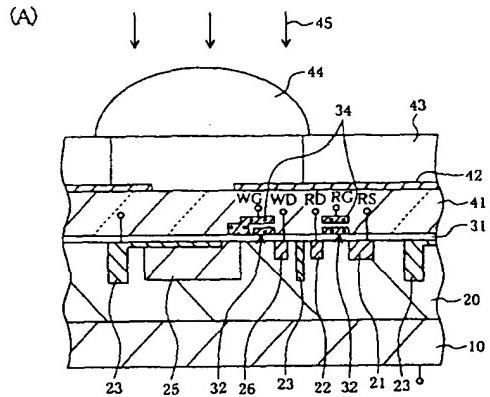
【図4】



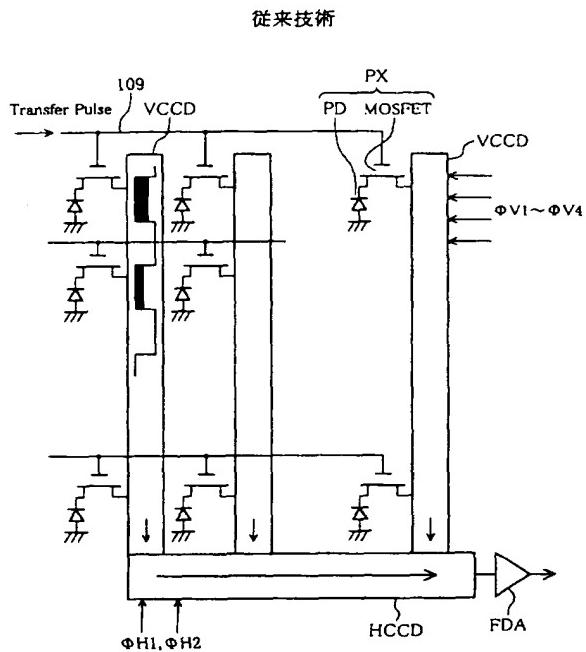
【図5】



【図3】

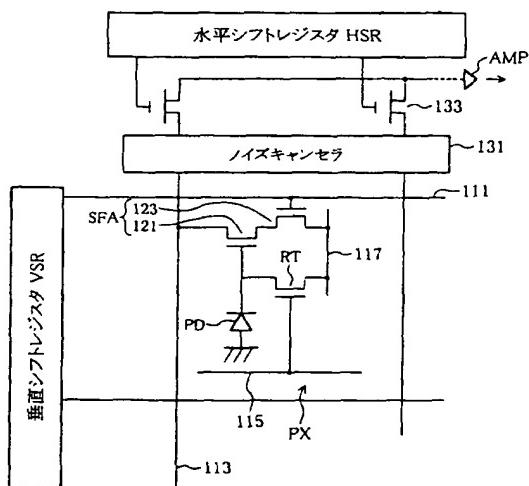


【図6】



【図7】

従来技術



【手続補正書】

【提出日】平成14年2月22日(2002.2.2)
2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正内容】

【0056】フローティングゲートFGは、絶縁領域又は素子分離領域上を通り、図中左側に延在し、読み出しトランジスタのフローティングゲートも構成している。読み出しトランジスタのフローティングゲートの上には、図中下方から延在する読み出しコントロールゲートRGが配置される。

フロントページの続き

(51)Int.C1.⁷
H O 4 N 5/335

識別記号

F I

マークコード(参考)

Fターム(参考) 4M118 AA02 AA05 AB01 BA14 CA04
DD03 DD09 DD12 FA06 FA26
GC07 GD04
5C024 CX54 CY42 GX00 GX03 GY31
GZ01 HX01 HX13 HX23
5F083 EP02 EP23 EP24 EP62 ER02
NA04 ZA12
5F101 BA03 BA04 BA12 BB04 BB05
BC13 BD06 BD09 BD13 BD22
BD38 BE02 BE05